

SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP63039191

Publication date: 1988-02-19

Inventor(s): HORII TAKASHI

Applicant(s):: FUJITSU LTD

Requested Patent: JP63039191

Application Number: JP19860183847 19860805

Priority Number(s):

IPC Classification: G11C11/34

EC Classification:

Equivalents:

Abstract

PURPOSE: To eliminate the need for data transfer between systems for comparison by arranging two cell arrays in a way that word lines are in parallel and arranging a logic circuit detecting coincidence discrepancy such as AND, OR or exclusive OR between the cell arrays.

CONSTITUTION: In selecting a word line WL_i of a cell array, since data of the memory cell belonging to the word line come from all bit lines of the cell array, when the cell arrays 22a, 22b select a word line (WL_j is a selected word line by the cell array 22b) at the same time, the data of the memory cell WL_i and WL_j are given from all bit lines of the arrays 22a, 22b. Since one ends of the bit lines are opposed, the ends are fetched in a logic circuit 26, then the data coincidence/discrepancy of data between the opposed bit lines is detected and then the data coincidence/discrepancy of all bit lines is detected. Thus, the data are transferred between systems for coincidence detection and the judging by a CPU is not required.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭63-39191

⑫ Int. Cl.

G 11 C 11/34

識別記号

府内整理番号

K-8522-5B

⑬ 公開 昭和63年(1988)2月19日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭61-183847

⑯ 出 願 昭61(1986)8月5日

⑰ 発明者 堀井 幸 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 青柳 稔

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

半導体基板 (20) に 2 個のセルアレイ (22a, 22b) を形成したデュアルポート型の半導体記憶装置において、

前記セルアレイの間に、各セルアレイの対応するビット線に表わされた電位を比較して一致、不一致を検出する論理セルを、セルアレイのビット線対数だけ備える論理回路 (26) を配設し、

該論理回路の、各論理セルの検出結果から導出した判定結果 (FLG) を出力する配線を設けたことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(概要)

2 つの I/O とセルアレイを有するメモリで、判定端子を設け、列又は行の論理をとり、判定端子に出力するようにした半導体記憶装置。

(産業上の利用分野)

本発明はプロセッサを 2 個有するシステムに使用される半導体記憶装置に関し、判定を簡単に行なえるようにしようとするものである。

(従来の技術)

デュアルシステムでは 2 個のプロセッサが同じ仕事をし、その結果をチェックして同じなら動作は正しいとして処理を続ける。

第 2 図はこのデュアルシステムの概要を示し、システム 1、システム 2 は同じ構成で中央処理装置 (CPU)、メモリ (MEM)、入出力ポート (I/O) を有する。CPU 10a, 10b は同じ仕事をし、それに必要なデータ及び結果のデータをメモリ 12a, 12b にフェッチ/ロードする。CPU 10a, 10b の処理結果が同じであるか否かは I/O ポート 14a, 14b を通じて交信することにより行なう。

(発明が解決しようとする問題点)

I/Oポートを通してデータ送受して処理結果を比較するのでは、このデータ送受及び比較はCPUが行なわねばならず、CPUの負担が増す。またシステム1、システム2間にバスを張らねばならず、またそれは他の目的で既にあるとすれば他の目的のバス使用に制限を加えることになる。

ところでメモリでは所謂2ポートRAMと呼ばれる、1チップで実質2個のRAMがある。このようなRAMを使用し、比較はチップ内で行なうようにすれば、比較のためのシステム間データ転送という上記の問題は改善される。本発明はかかる点に着目するもので、比較(判定)を容易に行なえる2ポートRAMを提供しようとするものである。

(問題点を解決するための手段)

本発明では第1図に示すように1つのチップ(半導体基板)20に2つのセルアレイ22a、22bを搭載した2ポート型RAMを使用する。CPU10aはデコーダ24aを介してセルアレイ

22aをアクセスし、またCPU10bはデコーダ24bを介してセルアレイ22bをアクセスして、データフェッチ/ロードを行ない、ジョブ又はクスクを実行する。

本発明では2つのセルアレイ22a、22bをワード線が平行になるように、従ってピット線端が突合するように配置し、これらのセルアレイ間にアンド、オア、又は排他オアなどの一致、不一致を検出する論理回路26を配設する。

(作用)

このようにすると、セルアレイのあるワード線(WL_iとする)を選択するとセルアレイの全ピット線に、当該ワード線に属するメモリセルのデータが出てくるから、セルアレイ22a、22bで同時にワード線(セルアレイ22bの選択ワード線をWL_jとする)を選択すると、22aではWL_iの、22bではWL_jのメモリセルのデータが22a、22bの全ピット線に表われ、これらのピット線の一端は対向しているので、これら

の一端を論理回路26に取込むことにより、対向するピット線相互のデータの一致/不一致を検出し、ひいては全ピット線のデータ一致/不一致を検出することができる。

本システムはデュアルシステムで、CPU10a、10bは同じ動作をしており、処理結果を10aは22aのWL_iへ10bは22bのWL_jへ(例えばi=j)格納したとすれば、これを格納するとき又は格納後WL_i、WL_jを選択して読み出したとき論理回路26を動作させる(アクティブにする)と、処理結果の一致/不一致を示す出力を生じさせることができる。この判定結果をフラグFLGとしてCPU10a、10bへ通知し、「一致」なら処理続行、不一致なら動作停止、アラーム送出などとができる。従来方式のように、一致検出のためシステム間でデータ転送し、CPUが判断するなどの作業は必要でない。

このメモリはCPU単独動作にも有効である。例えばCPU10aがセルアレイ22aを用いて仕事をしており、その時々の処理結果がR₁、R₂、

……であるべき場合、これらの基準値R₁、R₂、……をCPU10bがセルアレイ22bの適当なワード線WL_j、WL_{j+1}、……に格納しておき、結果R₁が出る時点でその結果が格納されるセルアレイ22aのWL_iとその基準値R₁を格納しているセルアレイ22bのWL_jを選択すればR₁についての一致/不一致を検出することができる。R₂、R₃、……についても同様である。

(実施例)

第3図、第4図に本発明の実施例の概要を示す。SAはセンスアンプ、MCはメモリセル、DBはデータバスである。セルアレイ22aのワード線WL_iを選択すれば、該ワード線に属する全メモリセルMCが各々のピット線BL_i、BL̄_iに接続され、全ピット線対BL_i、BL̄_i(i=0, 1, 2, ...)に電位差が出る。センスアンプ32aはこれを增幅し、そして図示しないコラムデコーダにより選択されたものがデータバスDB_a、DB_bに接続され、入出力回路36aを通してチ

ップ外へ送出される。セルアレイ 22b 側も同様であり、22a 側と対応する部分には同じ数値が与えられ、唯、添字 a の代りに b が与えられている。

論理回路 26 はセルアレイのビット線対と同数の論理セル 34 を有し、これらの入力端は対応するビット線対 BLi, \overline{BLi} と BLj, \overline{BLj} (ここで i = j で 0, 1, 2, ……のうちの 1 つの値) に接続され、その一致／不一致を検出する。各論理セルの判定結果は配線 ϕ_1 、バッファ 38 を通して送出され、前述のフラグ FLC となり、これは CPU 10a, 10b へハードウェアインクラブト IRQ として入力する。

第 3 図に論理回路 26 の具体例を示す。本例では論理セル 34 はトランジスタ $Q_1 \sim Q_4$ で構成され、 Q_1 は当該論理セルの動作／不動作を決定する選択ゲート、 $Q_2 \sim Q_4$ はセルアレイ 22a のビット線対 BLi, \overline{BLi} とセルアレイ 22b のビット線対 BLj, \overline{BLj} の電位でオン／オフするトランジスタである。バッファ 28 はトラン

ジスタ $Q_5 \sim Q_{11}$ からなり、これらのトランジスタのうち $Q_5 \sim Q_{10}$ はフリップフロップ（ラッチ）を構成し、 Q_11 は配線 ϕ_1 の電位読み込み用、 Q_6 はリセット用である。

今セルアレイ 22a のビット線対 BLi, \overline{BLi} では BLi が H (ハイ) レベル、 \overline{BLi} は L (ロー) レベル、セルアレイ 22b の BLj, \overline{BLj} に対応するビット線対では BLj が H, \overline{BLj} が L となる (これで、セルアレイ 22a と 22b の当該ビットのデータが一致しているとする)、トランジスタ Q_2 , Q_3 がオン、 Q_4 , Q_5 はオフで、選択トランジスタ Q_1 がオンでも線 ϕ_1 は Vss へ接続されない。従って線 ϕ_1 はプリチャージされているが、その電荷に変化はなく、線 ϕ_1 は H レベルを保つ。これは逆に、BLi が L, \overline{BLi} が H, BLj が L, \overline{BLj} が H (これでも当該ビットのデータは一致している) であっても同様であり、 Q_2 と Q_3 , Q_4 と Q_5 のいずれかがオフで ϕ_1 は Vss へ接続されることはない。対応するビット線対 BLi, \overline{BLi} と BLj, \overline{BLj}

の電位が異なる (当該ビットのデータが異なる) と Q_2 , Q_3 オン、 Q_4 , Q_5 オフ、または Q_2 , Q_3 オフ、 Q_4 , Q_5 オフとなり、線 ϕ_1 は電源 Vss へ接続されて、プリチャージされている線 ϕ_1 の電荷が抜け、該線 ϕ_1 は L レベルになる。

他の論理セルも同様であり、当該ビット線対の電位が一致すると ϕ_1 を Vss へ接続するバスは形成されず、不一致であると形成され、該線 ϕ_1 は前者のとき H レベル、後者のとき L レベルになる。即ちビット線対だけある論理セル 34 はアンドゲートを構成しており、全ビット線対の比較結果が「一致」であれば ϕ_1 は H レベル、1 つでも「不一致」があれば ϕ_1 は L レベルになる。

線 ϕ_1 の電位はトランジスタ Q_1 を通ってトランジスタ Q_6 のゲートに加わる。該 Q_6 が H ならトランジスタ Q_6 がオン、従ってクロック ϕ_2 が H ならトランジスタ Q_11 がオン、 Q_{10} がオフ、フラグ FLC は H になる。 ϕ_1 が L なら Q_6 はオフ、従って Q_11 が H でも Q_{10} はオフ、 Q_{10} はオン、FLC は L である。 ϕ_2 はリセッ

トクロックで $\phi_R = H$ でトランジスタ Q_6 はオン、従って線 ϕ_1 を Vcc でプリチャージする。またトランジスタ Q_6 がオンになり、トランジスタ Q_{10} をオン、 Q_{11} をオフ、フラグ FLC を L にする。

第 5 図に上記のクロック等を示す。動作開始に当りリセット信号 ϕ_R は L になり、次いでワード線 WLi, \overline{WLj} が選択され (H になり)、該ワード線に属するメモリセルのデータがビット線に出てくる。続いてクロック ϕ_D1 , ϕ_D2 が H になってセンスアンプ 32a, 32b がアクティブになり、ビット線対の電位差を拡大する。次いでクロック ϕ_1 が入って各論理セルがアクティブになり、これらの論理セルによるビット線対電位比較結果が全て「一致」であれば ϕ_1 は H、1 つでも不一致があれば L になる。次いでクロック ϕ_2 が上り、 $\phi_2 = H$ であれば FLC = H, $\phi_2 = L$ であれば FLC = L にする。

1 ワード線に属するビット線対従ってメモリセルの数を n 個として、上記では該 n 個を比較対象とするが、これは $n/2$, $n/4$ ……などのその

一部ずつを比較対象としてもよい。これにより 1 ワード線に m バイトが入る場合、 m 分割してバイト単位の比較をすることができる。この場合は、論理回路 26 を m 分割し、各々から ϕ 線を出し、バッファ及びフラグ線も m 個とする等の変更をすればよい。あるいはクロック ϕ をバイト単位とし、論理回路 26 を部分的にアクティブにして比較を部分的に行なう等の方法をとってもよい。

比較は常に (CPU がメモリアクセスする度に) 行なうのではなく、処理結果の一一致／不一致をチェックする場合 (デュアルシステムのとき) 等に行なえばよく、このための制御は ϕ_{le} , ϕ_{ls} のいずれかを用いて行なうことができる。なお比較には両セルアレイが同時にアクセスされることが必要であるから、 ϕ_{le} , ϕ_{ls} の発生は ϕ_{D1} , ϕ_{D2} が共に H レベルであることを条件としてもよい。所望状態での比較、部分的比較などに対しても CPU が ϕ_{le} , ϕ_{ls} を出力すればよい。CPU 10a, 10b は同期運転であってもまた非同期運転であってもよい。

〔発明の効果〕

以上説明したように、本発明ではシステム間でデータ転送することなく同じチップ内で処理結果の判定を行なうことができ、CPU の負担軽減、システムの高速化、高信頼性化を図ることができる。

4. 図面の簡単な説明

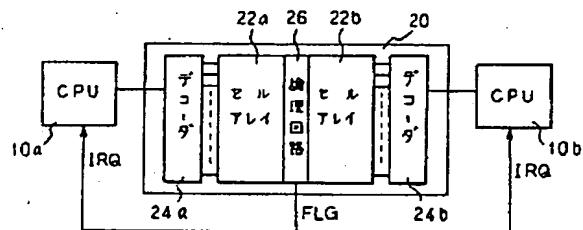
第 1 図は本発明の要部説明図。

第 2 図は従来のデュアルシステムの説明図、第 3 図および第 4 図は本発明の実施例を示すブロック図および回路図、

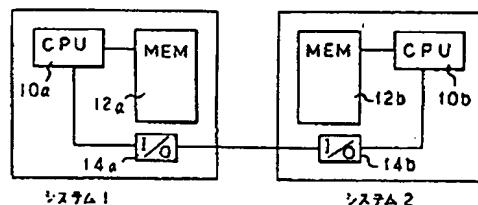
第 5 図は動作説明用の波形図である。

第 1 図で 20 は半導体基板、22a, 22b はセルアレイ、10a, 10b は中央処理装置、26 は論理回路である。

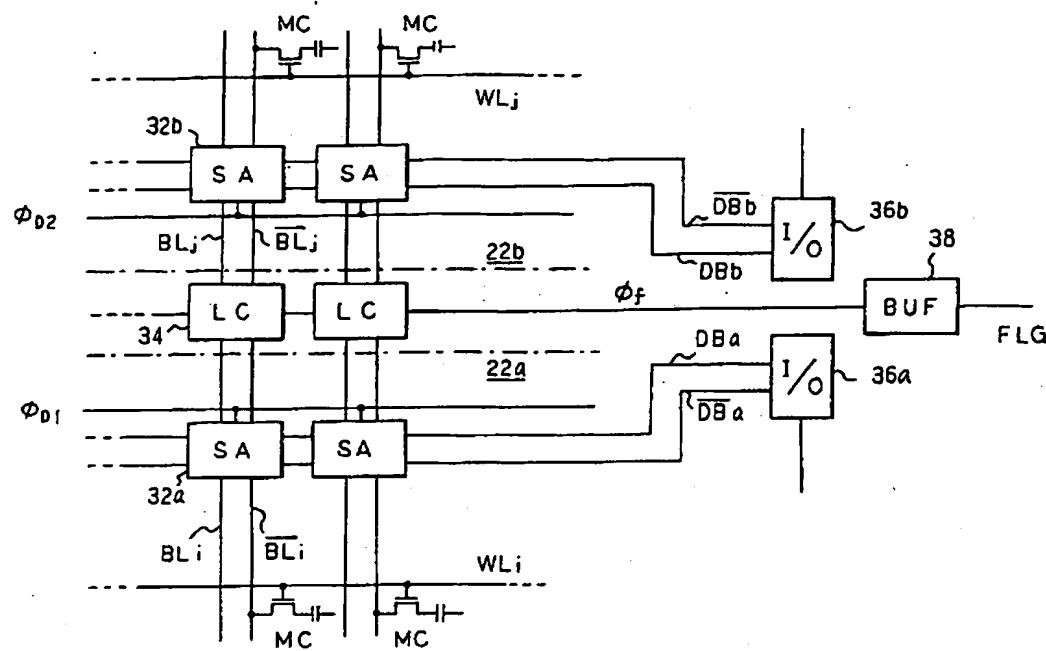
出願人 富士通株式会社
代理人弁理士 青柳稔



本発明の要部説明図
第 1 図

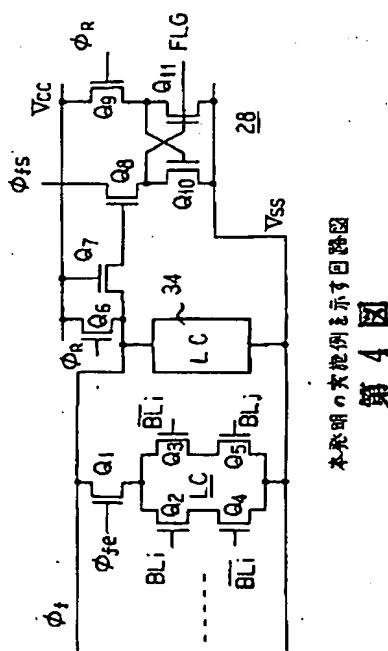


従来のデュアルシステムの説明図
第 2 図

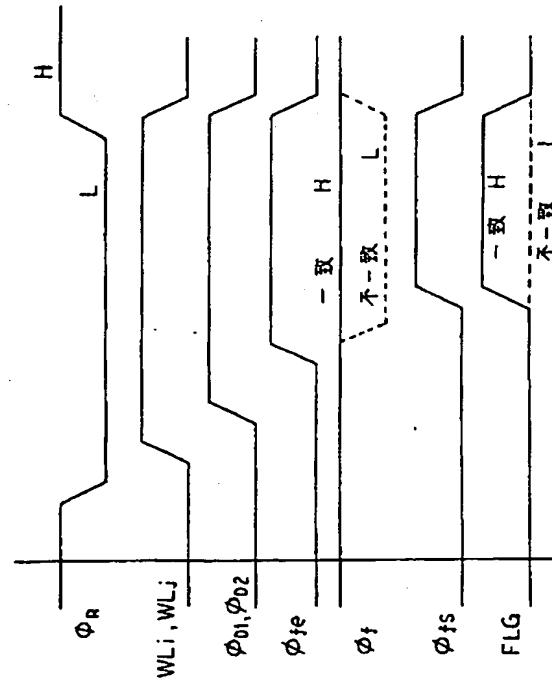


本発明の実施例を示すブロック図

第3図



本発明の実施例を示す回路図
第4図



動作説明用の波形図
第5図